

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036817

**(43)Date of publication of application : 09.02.2001**

(51)Int.Cl.

H04N 5/335

H01L 27/146

H01L 31/10

(21)Application number : 11-208267

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 22.07.1999

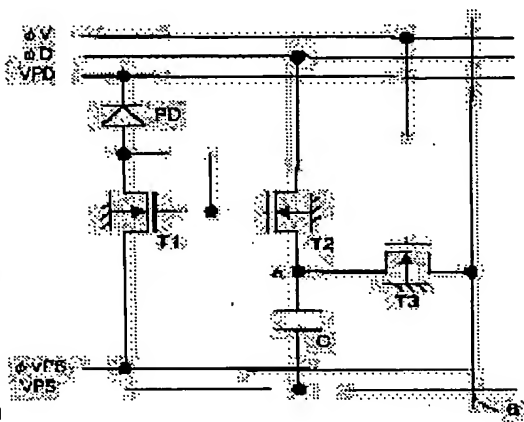
(72)Inventor : TAKADA KENJI

(54) SOLID-STATE IMAGE PICKUP DEVICE

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a solid-state image pickup device with good responsiveness capable of picking up an image of an object in a wide luminance range from a high luminance region to a low luminance region with high definition and by which each pixel is reset to an original state at high speed even in the low luminance area.

**SOLUTION:** Reset is promptly performed by re-coupling positive electric charges stored in a drain, a gate of a MOS transistor T1, a gate of a MOS transistor T2 and an anode of a photodiode by setting a signal  $\phi_{VPS}$  to be provided to a source of the first MOS transistor T1 as low level and making a state that negative electric charges are easy to flow in the MOS transistor T1 after image pickup operation of each pixel is completed.



**BEST AVAILABLE COPY**

特開2001-36817

(P2001-36817A)

(43)公團日 平成13年2月9日(2001.2.9)

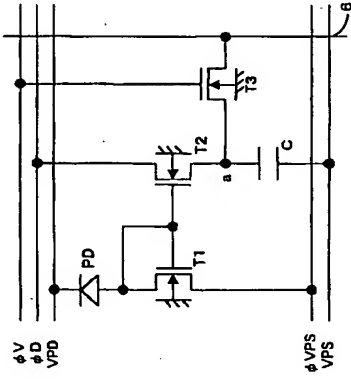
(51) Int. C.I. 1 H 0 4 N	5/335	識別記号	F I H 0 4 N	5/335	E 4M18 P 50024 A 57049 G	フ-70-D' (参考)
(51) Int. C.I. 1 H 0 1 L	27/146 31/10	審査請求 未請求 請求項の数 19	O L			(金 14 頁)
(21) 出願番号	特願平11-208267	(71) 出願人	000006079 ミノルタ株式会社 大阪府大阪市中央区安土町二丁目3番13号 大阪 大塚国際ビル 大塚国際ビル 高田 謙二 大阪府中央区安土町二丁目3番13号 大阪 大塚ビル ミノルタ株式会社内			
(22) 出願日	平成11年7月22日(1999. 7. 22)	(72) 発明者	大塚 謙二 大塚ビル ミノルタ株式会社内 100085501 弁理士 佐野 幹夫			
		(74) 代理人	弁理士 佐野 幹夫			

(54)【発明の名称】固体撮像装置

(57)【重】

【課題】本発明は、高傾度域から低傾度域までの幅広い傾度範囲の被写体を高精細に撮像することのできることに、低傾度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【解決手段】各画素の増減動作が終了した後、第1MOSTランジスタT1のソースに与える信号φVPSをローレベルにして、MOSTランジスタT1に負の電荷が流入しやすい状態にすることによって、MOSTランジスタT1のドレイン、ゲート、MOSTランジスタT2のゲート、及びフォloatingガードのアーンドに蓄積された正の電荷を再結合して速やかにリセットを行う。



【特許請求の範囲】

【筋書項1】 入射した光量に応じた電気信号を発生する光色素子と細胞色素に第1の電極が接続された第1のトランジスタを有するとともに、該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体増幅器に関する。

で動作させて撮像を行い、  
て、前記第1のトランジスタをサブスレッシヨナル領域  
前記第1のトランジスタの第2電極に第1電圧を与え

前記第1のトランジスタの第2電極に第2電圧を与えて、前記第1のトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項2】 入射した光量に対して自然体的に交換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出回路とを備えた増幅数の面素を有する固体撮像装置において、

前記光電変換手段が、

第1電極に直流電圧が印加された光電変換素子と、第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が光電変換素子の第2電極に接続されるときも、光電変換素子からの出力電流が流れ込む第1のトランジスタと、

第1電極と第2電極と制御電極とを備え、第1電極に直  
流電圧が印加されるとともに制御電極が前記第1のトラ  
ンジスタの第1電極及び制御電極に接続され、第2電極  
から電気信号を出力する第2のトランジスタとから構成  
され、

前記第1のトランジスタの第2電極に第1電圧を与えて、前記第1のトランジスタを閾値以下のサブスレッシヨルド領域で動作させて撮像を行い、

前記第1のトランジスタの第2電極に第2電圧を与えて、前記第1のトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする固体撮像装置。

【請求項3】 前記画素が、マトリクス状に配設されることを特徴とする固体撮像装置。

【請求項4】 前記電力変換手段から出力される電気信号を演算する回路と、前記演算回路の出力に基いて電圧を制御する回路とを有し、該電圧回路で検出した信号を演算する回路を有し、該電圧回路で検出した信号を前記導出路を介して前記出力信号線へ輸出することとを特徴とする請求項1～請求項3のいずれかに記載の固体撮像装置。

【請求項5】 前記積分した信号を前記出力信号線へ出力した後に、前記積分回路の電荷を放出するリセット手段を有することを特徴とする請求項4に記載の固体映像装置。

【請求項6】 前記リセット手段が、第1電極と第2電極と制御電極とを備え、前記積分回路に第1電極が接続

されたトランジスタで構成され

該トランジスタの制御電極に印加する電圧のレベルを変化して該トランジスタを導通させたとき、前記積分回路に蓄積された電荷が放出されることを特徴とする請求項5に記載の固体撮像装置。

【請求項7】 前記各画像が、前記光電変換手段の出力信号を増幅する増幅用トランジスタを有しており、該増幅用トランジスタの出力信号を前記读出回路を介して前記出力信号線へ出力することを特徴とする請求項2又は請求項3に記載の固体撮像装置。

【請求項8】 前記出力倍率線に接続された負荷抵抗又は定電流源を有し、前記負荷抵抗又は定電流源の総数が全画素数より少ないことを特徴とする請求項7に記載の固体撮像装置。

【第9項】 所配員荷低抗又は定電流源は、前記出力信号線に接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続された第3電極とを有する抵抗用トランジスタであることを特徴とする請求項8に記載の固体増幅装置。

【請求項10】 前記増幅用トランジスタがNチャネルのMOSトランジスタであり、前記増幅用トランジスタの第1電極に印加される直流電圧が、前記抵抗用トランジスタの第2電極に供給される直流電圧よりも高電位であることを特徴とする請求項9に記載の固体图像装置。

【請求項11】 前記増幅用トランジスタがPチャネルのMOSTトランジスタであり、前記増幅用トランジスタの第1電極に印加される直流電圧が、前記抵抗用トランジスタの第2電極に接続される直流電圧よりも低電位であることを特徴とする請求項9に記載の固体图像装置。

【請求項12】 前記出力部は、全画素の中から所定ものを1回選択し、選択された画素の出力信号を出力信号線に導出するスイッチを含むことを特徴とする請求項2、請求項3、請求項7～請求項11のいずれかに記載の固体撮像装置。

【請求項13】 複数の面素を有する固体撮像装置において、

各画面が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極とゲート電極が接続された第1MOSTランジスタと、

該第1MOSトランジスタの第1電極及びゲート電極に

前記画面系に描像動作をさせるときは、前記フォトガイドボードから出力される電気信号を自然対称的に変換するよう、前記第1MOSTランジスタの第2電極に第1電圧を与えて、前記第1MOSTランジスタを閾値以下のサブスレッシヨナル領域で動作させ、

前記画面素のリセットを行うときは、前記第1MOSトランジスタの第2電極に第2電圧を与えて、前記第1のト

ランジスタに前記第2電圧をより大きくも大きい電圧が流れるようにすることを特徴とする固体撮像装置。

【請求項14】 前記画面が、第1電極が前記第2MOストランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行連動線に接続される第4MOストランジスタを有することを特徴とする請求項13に記載の固体撮像装置。

【請求項15】 前記画素が、第1電極に直流電圧が印加され、ゲート電極が前記第2MOSTランジスタの第2電極に接続されるとともに、前記第2MOSTランジスタの第2電極から出力される出力信号を増幅する第3MOSTランジスタを有することを特徴とする請求項13に記載の固体撮像装置。

【請求項16】 前記配線が、第1電極が前記第3MO  
Sトランジスタの第2電極に接続され、第2電極が出力  
信号線に接続され、ゲート電極が行選択線に接続された  
第4MOSTランジスタを有することを特徴とする請求  
項15に記載の固体画像装置。

【請求項17】 前記要素が、前記第2MOSTランジスタの第2電極に一端が接続されるとともに、前記第2MOSTランジスタの第1電極にリセット電圧が与えられたときに前記第2MOSTランジスタを介してリセットされるキャパシタを有することを特徴とする請求項15又は請求項16に記載の固体撮像装置。

【請求項18】 前記第2MOSトランジスタの第1電極に直流電圧が印加されるとともに、前記画素が、

前記第2 MOSトランジスタの第2電極に第1電極が接  
続され第2電極に直流電圧が印加された第5 MOSトラ  
ンジスタと、  
前記第2 MOSトランジスタの第3電極に一端が接続さ  
れるとともに、前記第5 MOSトランジスタのゲート電  
極にリセット電圧が与えられたときに前記第5 MOSト  
ランジスタを介してリセットされるキャパシタと、  
有することを特徴とする請求項15又は請求項16に  
記載の固体撮像装置。

【請求項19】 前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成すMOSトランジスタを備えていることを特徴とする請求項13～請求項18のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

10001

【発明の属する技術分野】本発明は固体撮像装置に関するものであり、特に複数の画素を備えた固体撮像装置に関する。

100021

【従来の技術】固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、LSI (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造

造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像素子がファクシミリやフラワーベッドスキャナに、マトリクス状に画素が配された固体撮像素子がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像素子は低価な換装式で発生した光電荷を読み出す（取り出す）手段によって CCD 型と MOS 型に大きく分けられる。CCD 型は光電荷をボテンシャルの井戸に蓄積しつつ、転送するようになり、ダイナミックレンジが大きいという特徴がある。一方、MOS 型はフォトリソグラフィの工程が容易に蓄積した電荷を MOS トランジスタを通じて読み出すようになっている。

【0003】ここで、従来のMOS型固体撮像装置の1画素当りの構成を図18に示し説明する。図例において、Pはフォトゲートであり、そのカソードがMOSTランジスタT1のゲートとMOSTランジスタT2のドレインに接続されている。MOSTランジスタT1のソースはMOSTランジスタT3のドレインに接続され、MOSTランジスタT3のソースは出力信号線Voutに接続されている。またMOSTランジスタT1のドレインには直流電圧VDDが印加され、MOSTランジスタT2のソースとフォトダイオードのアノードには直流電圧VDSが印加されている。

【0004】フォトダイオードPPDに光が入射すると、光電荷が発生し、その電荷はMOSTランジスタT1のゲートに蓄積される。ここで、MOSTランジスタT3のゲートにバリス $\psi$ を与えると、MOSTランジスタT3をONすると、MOSTランジスタT1のゲートの電荷に比例した電流がMOSTランジスタT1、T3を通じて出力信号線Voutへ導出される。このようにして入射光量に比例した出力電流を導出することができる。信号段に比例し後はMOSTランジスタT3をOFFにするとともに、MOSTランジスタT2のゲートに信号 $\phi$ RSを与えてMOSTランジスタT2をONすることでもMOSTランジスタT1のゲート電圧を初期化させることができる。

**[0005]**

【発明が解決しようとする課題】このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生した光電流は、MOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため光電流量を精密に制御しなければならず、しかも感光電流量を精密に制御しても暗い部分が黒くつぶれた、明るい部分が飽和してしまっていた。一方、本出願人は、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流で流れたる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した(特開平3-192764号公報参照)。

1のトランジスタに前記第2電圧を与える前より大きい電流が流れ得るようにしてリセットを行うことを特徴とする。

【0010】請求項3に記載の固体撮像装置は、請求項2に記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

【0011】請求項4に記載の固体絶縁装置は、請求項1〜請求項3のいずれかに記載の固体絶縁装置において、前記光電変換手段から出力される電気信号を複分する複分回路を有し、該複分回路で複分した信号を前記増幅回路を介して前記出力信号線へ導出することを特徴とする。

【0012】このような構成によると、各電流からの出力信号は積分回路で積分されるので、この出力信号に含まれる光電流の変動成分や高周波ノイズは、積分回路で吸収され除去される。又、請求項1に記載するように、前記積分回路した信号を前記出力信号出力した後に、前記積分回路の電荷を放出するリセット手段を設けることによって、各電流が出力を行った後、初期化することになるので、各電流が出力した後は、請求項6に記載することである。このリセット手段は、請求項6に記載するように、第1電流と第2電流と制御電圧とを備え、前記積分回路に第1電流が接続されたトランジスタとすることによって、該トランジスタの制御電圧に印加する電圧のレベルを制御して該トランジスタを導通させて、前記積分回路に蓄積した電荷を放出することができ、

【0013】請求項7に記載の固体状態装置は、請求項2又は請求項3に記載の固体状態装置において、前記各画素が、前記光電変換手段の出力電圧を増幅する増幅用トランジスタを有しており、該増幅用トランジスタの出力電圧を前記出力信号線へ出力することと特徴とする。

【0014】このような固体撮像装置によると、増幅用トランジスタによって、出力信号が増強されて充分な大きさとなった出力されるので、感度の良い撮像信号となす。このような固体撮像装置において、図4項8に記載するように、前記出力信号線に接続されたその総数が全画素数より少ない負荷抵抗又は定電流源を設けても良い。

【0015】負荷抵抗又は定電流源として請求項9に記載するように、前記出力信号線に接続された第1電極と、直流通電圧に接続された第2電極と、直流通電圧に接続された何れ電極とを有する抵抗用トランジスタとしてもよい。又、増幅用トランジスタをNチャネルのMOSTとするとする。請求項10に記載するように、前記増幅用トランジスタの第1電極に追加される直流通電圧を、前記抵抗用トランジスタの第2電極に接続される抵抗を、前記抵抗用トランジスタの第2電極とトランジスタより高電位とすべし。又、増幅用トランジスタをPチャネルのMOSTとするとする。請求項11に記載するように、前記増幅用トランジスタの第1電極に追加される直流通電圧を、前記抵抗用トラン



路3に接続されている。

【0039】図6G11～Gmには、後述するように、それらの画素で発生した光電流に基づく信号を出力するNチャネルのMOSTランジスタTaが設けられている。MOSTランジスタTaと上記MOSTランジスタQ1との接続関係は図6(a)のようになる。このMOSTランジスタQ1のソースに接続される直流通電VPS'と、MOSTランジスタTaのドレインに接続される直流通電VPSとの関係はVPS' > VPSであり、直流通電VPS'は例えばグラウンド電圧(接地点)である。この回路構成は上段のMOSTランジスタTaのゲートに信号が入力され、下段のMOSTランジスタQ1のゲートには直流通電DCが常時印加される。このため下段のMOSTランジスタQ1は抵抗又は定電流源と等価であり、図6(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSTランジスタTaから増幅出力されるのは電流であると考えよう。

【0040】MOSTランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図7以降の各実施形態の画素内にはスイッチ用のNチャネルの第3MOSTランジスタT3も設けられている。このMOSTランジスタT3も含めて表わすと、図6(a)の回路は正確には図6(b)のようになる。即ち、MOSTランジスタT3がMOSTランジスタQ1とMOSTランジスタTaとの間に挿入されている。ここで、MOSTランジスタT3は行の選択を行うものである。MOSTランジスタQ2は列の選択を行うものである。尚、図5および図6に示す構成は以下に説明する第2の実施形態～第4の実施形態に共通の構成である。

【0041】図6のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままだけは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路(図示せず)での処理が容易になる。また、増幅回路の負荷抵抗が部分増幅をMOSTランジスタQ1を画素内に設けず、列方向に設けられた増幅の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けられることにより、負荷抵抗又は定電流源の数を減らすことができ、半導体チップ上で増幅回路が占める面積を少なくできる。

【0042】<第2の実施形態>図5に示した画素構成の第2の各画素に適用される第2の実施形態について、図面を参照して説明する。図7は、本実施形態に使用する画素構成図に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で用いられ

る。

【0034】よって、図4(d)のように、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが図4(c)の状態と比べて低くなる。図4(d)のようにMOSTランジスタT1のポテンシャルが変化すると、MOSTランジスタT1のソースに与える信号φVPSをバイレベルにする。よって、MOSTランジスタT1のポテンシャル状態が、図4(e)のようになり、基の状態にリセットされる。このように、MOSTランジスタT1のポテンシャルの状態を基の状態にリセットした後、信号φDの電圧をローレベルにして、キャパシタCを放電して、接続ノードaの電位を基の状態にリセットする。その後、信号φDの電圧をハイレベルに戻して増幅動作が行える状態にする。

【0035】このように、感光素子であるフォトダイオードPDにドレインが電気的に接続されたMOSTランジスタT1のソースに与える電位を操作してリセットを行うことにより、固体増幅回路の画素の応答性が改善される。従って、暗い被写体を撮像する場合や、明るい被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。

【0036】尚、各画素からの信号線から出た電荷結合素子(CCD)を用いて行うようにしても構わない。この場合、図2のMOSTランジスタT3に相当するポテンシャルレベルを可変としたポテンシャルの増設を設けることにより、CCDへの電荷読み出しを行えばよい。

【0037】<画素構成の第2例>図5は本発明の他の実施形態である二次元的MOS型固体増幅回路の一部の構成を概略的に示している。同図において、G11～Gmは行列駆動(マトリクス駆動)された画素を示している。2は垂直走査回路であり、行(ライン)4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに送出された光電流増倍信号を画素ごとに水平方向に順次読み出す。5は電圧ラインである。各画素に対し、上記ライン4-1、4-2、・・・、4-nや出力信号線6-1、6-2、・・・、6-m、電圧ライン5(例えば、クロックラインやバypass供給ライン等)も接続されるが、図5ではこれらについて省略し、図7以降の各実施形態において示している。

【0038】出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSTランジスタQ1、Q2が画素の近く1組ずつ設けられている。MOSTランジスタQ1のゲートは直流通電線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流通電VPS'のライン8に接続されている。一方、MOSTランジスタQ2のドレインは出力信号線6-1に接続され、ソースは感光性の信号線9に接続され、ゲートは水平走査

通って出力信号線6に導出される。今、MOSTランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の増分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号(出力電流)を読み出した後、MOSTランジスタT3をOFFにする。

【0048】(2) 各画素のリセット動作について以下に、図面を参照して、図7のような回路構成の画素のリセット動作について説明する。図8は、リセット動作を行うときの画素内の各素子に接続された各信号線と与える信号のタイミングチャートである。(1)で説明したように、MOSTランジスタT3のゲートにバイスφVを与えることによって、図7のような回路構成の各φVを与えることにより、図7のような回路構成の各画素が入射光に対して対数変換した電流信号(出力信号)が出力信号線6に出力される。このように出力信号が出力されてバイスφVがローレベルになると、リセット動作が始まる。又、本実施形態の画素をリセットするときのMOSTランジスタT1のポテンシャルの状態は、第1の実施形態と同様、図4(b)～(e)のようになる。よって、図4及び図8を参照して、そのリセット動作について説明する。

【0049】まず、バイス信号φVがMOSTランジスタT3のゲートに与えられて、出力信号が出力された後、リセット動作が始まる。そして、第1の実施形態と同様に、MOSTランジスタT1のソース側より負の電荷が流れ込み、MOSTランジスタT1のポテンシャルが図4(b)のような状態になる。

【0050】次に、MOSTランジスタT1のソースに与える信号φVPSをローレベルにして、図4(c)のようになり、MOSTランジスタT1を導通状態にする。よって、MOSTランジスタT1のソースから流入する負の電荷の量が増加し、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアンロードに蓄積された正の電荷が速やかに再結合される。

【0051】よって、図4(d)のように、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが低くなる。このようにMOSTランジスタT1のポテンシャルが変化すると、MOSTランジスタT1のソースに与える信号φVPSをバイレベルにする。よって、MOSTランジスタT1のポテンシャル状態が、図4(e)のようになり、基の状態にリセットされる。このように、MOSTランジスタT1のポテンシャルの状態を基の状態にリセットした後、MOSTランジスタT5の基の状態にリセットした後、MOSTランジスタT5のゲートにバイス信号φVPSを与え、MOSTランジスタT5を介してキャパシタCを放電して、接続ノードaの電位を基の状態にリセットする。

【0052】<第3の実施形態>第3の実施形態について、図面を参照して説明する。図9は、本実施形態に使用

る素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0043】図7に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に依りた電流増幅を行う第4MOSTランジスタT4と、接続ノードaの電位の初期化を行う第5MOSTランジスタT5とが付加された構成となる。MOSTランジスタT4のソースがMOSTランジスタT3のドレインに接続され、又、MOSTランジスタT3のソースは出力信号線6(この出力信号線6は図5の6-1、6-2、・・・、6-mに対応する)へ接続されている。尚、MOSTランジスタT4、T5も、MOSTランジスタT1～T3と同様に、NチャネルのMOSTランジスタでバックゲートが接地されている。

【0044】又、MOSTランジスタT4のドレインには直流通電VPS'が印加され、MOSTランジスタT3のゲートには信号φVが入力される。又、MOSTランジスタT5のソースには直流通電VPS'が印加され、そのゲートには信号φVPSが入力される。更に、MOSTランジスタT2のドレインには直流通電VPS'が印加され、MOSTランジスタT2のドレインには信号φVPSが入力される。尚、本実施形態において、MOSTランジスタT1～T3及びキャパシタCは、第1の実施形態(図2)と同様の動作を行い、入射光に対して対数変換した電流信号(出力信号)を出力することができる。

【0045】(1) 各画素への入射光を電流信号に変換する動作について

この実施形態において、信号φVPSの電圧値をハイレベルにして、MOSTランジスタT1をサブスレッショルド領域で動作させることにより、第1の実施形態と同様に、フォトダイオードPDが入射光に応じて出力する光電流に対して自然対数的に変換させた出力信号を出力信号線6に出力することができる。以下、このように光電流を自然対数的に変換した出力信号を出力するときの図7に示す画素内の各素子の動作について説明する。

【0046】フォトダイオードPDに光が入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSTランジスタT1、T2のゲートに発生する。この電圧により、MOSTランジスタT2に電流が流れ、キャパシタCには前記光電流の増分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSTランジスタT2のソースとの接続ノードaに、前記光電流の増分値を自然対数的に変換した値に比例した電圧が生じるようになる。ただし、このとき、MOSTランジスタT3、T5はOFF状態である。

【0047】次に、MOSTランジスタT3のゲートにバイス信号φVを与えて、MOSTランジスタT3をONにすると、MOSTランジスタT4のゲートにかかる電圧に比例した電流がMOSTランジスタT3、T4を

る素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0043】図7に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に依りた電流増幅を行う第4MOSTランジスタT4と、接続ノードaの電位の初期化を行う第5MOSTランジスタT5とが付加された構成となる。MOSTランジスタT4のソースがMOSTランジスタT3のドレインに接続され、又、MOSTランジスタT3のソースは出力信号線6(この出力信号線6は図5の6-1、6-2、・・・、6-mに対応する)へ接続されている。尚、MOSTランジスタT4、T5も、MOSTランジスタT1～T3と同様に、NチャネルのMOSTランジスタでバックゲートが接地されている。

【0044】又、MOSTランジスタT4のドレインには直流通電VPS'が印加され、MOSTランジスタT3のゲートには信号φVが入力される。又、MOSTランジスタT5のソースには直流通電VPS'が印加され、そのゲートには信号φVPSが入力される。更に、MOSTランジスタT2のドレインには直流通電VPS'が印加され、MOSTランジスタT2のドレインには信号φVPSが入力される。尚、本実施形態において、MOSTランジスタT1～T3及びキャパシタCは、第1の実施形態(図2)と同様の動作を行い、入射光に対して対数変換した電流信号(出力信号)を出力することができる。

【0045】(1) 各画素への入射光を電流信号に変換する動作について

この実施形態において、信号φVPSの電圧値をハイレベルにして、MOSTランジスタT1をサブスレッショルド領域で動作させることにより、第1の実施形態と同様に、フォトダイオードPDが入射光に応じて出力する光電流に対して自然対数的に変換させた出力信号を出力信号線6に出力することができる。以下、このように光電流を自然対数的に変換した出力信号を出力するときの図7に示す画素内の各素子の動作について説明する。

【0046】フォトダイオードPDに光が入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSTランジスタT1、T2のゲートに発生する。この電圧により、MOSTランジスタT2に電流が流れ、キャパシタCには前記光電流の増分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSTランジスタT2のソースとの接続ノードaに、前記光電流の増分値を自然対数的に変換した値に比例した電圧が生じるようになる。ただし、このとき、MOSTランジスタT3、T5はOFF状態である。

【0047】次に、MOSTランジスタT3のゲートにバイス信号φVを与えて、MOSTランジスタT3をONにすると、MOSTランジスタT4のゲートにかかる電圧に比例した電流がMOSTランジスタT3、T4を



用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図7に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0053】図9に示すように、本実施形態では、MOSTランジスタT2のドレインに信号φDを与えることによってキャパシタC及び接続ノードaの電位を初期化するようにし、それによってMOSTランジスタT5を削除した構成となっている。その他の構成は第2の実施形態（図7）と同一である。尚、信号φDのハイレベル期間では、第1の実施形態（図2）と同様にキャパシタCで積分が行われ、ローレベル期間では、キャパシタCの電荷がMOSTランジスタT2を通して放電され、キャパシタCの電圧及びMOSTランジスタT4のゲートは略信号φDのローレベル電圧になる（リセット）。本実施形態では、MOSTランジスタT5を省略できる分、構成がシンプルになる。

【0054】この実施形態において、撮像動作をさせるときは、第2の実施形態と同様に、MOSTランジスタT1のソースに与える信号φVPSをハイレベルにして、MOSTランジスタT1がサブスレッショルド状態で作るようになり、信号φDをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタCに蓄積する。そして、所定のタイミングでMOSTランジスタT3をONにして、MOSTランジスタT4のゲートにかかる電圧に比例した電流をMOSTランジスタT3、T4を通して出力信号線6に導出する。

【0055】又、各画素をリセットするときは、第1の実施形態と同様、図3のタイミングで信号φVを制御する。即ち、まず、第1の実施形態と同様に、パルス信号φVが与えられた後、リセット動作が始まる。次に、MOSTランジスタT1のソースに与える信号φVPSをローレベルにして、MOSTランジスタT1を導通状態にすることによって、MOSTランジスタT1のソースから流入する負の電荷の量を増加させる。よって、第1の実施形態と同様に、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアンノードに蓄積された正の電荷が速やかに再結合される。

【0056】そして、MOSTランジスタT1のソースに与える信号φVPSをハイレベルにして、MOSTランジスタT1のポテンシャル状態を基の状態でリセットする。このように、MOSTランジスタT1のポテンシャルの状態を基の状態でリセットした後、信号φDの電圧をローレベルにして、キャパシタCを放電して、接続ノードaの電位をリセットする。その後、信号φDの電圧をハイレベルに戻して撮像動作が行える状態にする。

【0057】<第4の実施形態>第4の実施形態について

て、図面を参照して説明する。図10は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図8に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0058】図10に示すように、本実施形態では、MOSTランジスタT2のドレインに直流通電VPPが印加されるとともに、キャパシタC及びMOSTランジスタT4を削除した構成となっている。即ち、MOSTランジスタT2のソースにMOSTランジスタT3のドレインが接続される。その他の構成は第3の実施形態（図9）と同一である。

【0059】このような構成の回路において、撮像動作をさせるときは、第3の実施形態と同様に、MOSTランジスタT1のソースに与える信号φVPSをハイレベルにして、MOSTランジスタT1がサブスレッショルド状態で動作するようになる。このようにMOSTランジスタT1を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSTランジスタT2を流れる。

【0060】そして、MOSTランジスタT3のゲートにパルス信号φVを与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSTランジスタT3を通して出力信号線6に導出される。このとき、MOSTランジスタT2とそれらとを流れる電流が、MOSTランジスタT3をONにして、MOSTランジスタT4のゲートにかかる電圧に比例した電流をMOSTランジスタT3、T4を通して出力信号線6に導出する。

【0061】又、各画素をリセットする際には、第3の実施形態と同様に、まず、パルス信号φVが与えられた後、リセット動作が始まる。次に、MOSTランジスタT1のソースに与える信号φVPSをローレベルにして、MOSTランジスタT1を導通状態にすることによって、MOSTランジスタT1のソースから流入する負の電荷の量を増加させる。

【0062】よって、第1の実施形態と同様に、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアンノードに蓄積された正の電荷が速やかに再結合される。そして、MOSTランジスタT1のソースに与える信号φVPSをハイレベルにして、MOSTランジスタT1のポテンシャル状態を基の状態でリセットする。このように、MOSTランジスタT1のポテンシャルの状態を基の状態でリセットした後、信号φDの電圧をローレベルにして、キャパシタCを放電して、接続ノードaの電位をリセットする。その後、信号φDの電圧をハイレベルに戻して撮像動作が行える状態にする。

【0063】尚、本実施形態では上記第3の実施形態のように、光信号をキャパシタCで一且積分するということを行わないので、積分時間が不要となり、又、キャパ

は出力信号線6-1に接続され、ソースは懸浮的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSTランジスタQ1は画素内のPチャネルのMOSTランジスタと共に図14(a)に示すような増幅回路を構成している。尚、MOSTランジスタT4は、第6、第7の実施形態では第2MOSTランジスタT4に相当し、又、第8の実施形態では第2MOSTランジスタT2に相当する。

【0068】この場合、MOSTランジスタQ1はMOSTランジスタT4の負荷抵抗又は定電流源となっている。従って、このMOSTランジスタQ1のソースに接続される直流通電VPS'と、MOSTランジスタT4のドレインに接続される直流通電VPP'との関係は、 $V_P' < V_{PS}'$ であり、直流通電VPP'は例えばグラウンド電圧（接地）である。MOSTランジスタQ1のドレインはMOSTランジスタT4に接続され、ゲートには直流通電が印加されている。PチャネルのMOSTランジスタQ2は水平走査回路3によって制御され、増幅回路スタQ2は水平走査回路3によって制御され、増幅回路の出力を最終的な信号線9へ導出する。第6～第8の実施形態のように、画素内に設けられた第3MOSTランジスタT3を考慮すると、図14(a)の回路は図14(b)のように置換される。

【0069】

【発明の効果】以上説明したように、本発明の固体撮像装置によれば、各画素のリセットを速やかに行うことができるので、撮像時の応答性を良くすることができ、低輝度の被写体を撮像したときに発生する残像をなくすることができ、又、駆動素子をMOSTランジスタで構成することにより高集積化が容易となり、周辺回路を削減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である二次元固体撮像装置の全体構成を説明するためのブロック回路図。

【図2】本発明の第1の実施形態の1画素の構成を示す回路図。

【図3】第1の実施形態で使用される画素の名素子に与える信号のタイミングチャート。

【図4】本発明で使用される画素の構成及びポテンシャルの関係を表した図。

【図5】本発明の一実施形態である二次元固体撮像装置の全体構成を説明するためのブロック回路図。

【図6】図5の一部の回路図。

【図7】本発明の第2の実施形態の1画素の構成を示す回路図。

【図8】第2の実施形態で使用される画素の名素子に与える信号のタイミングチャート。

【図9】本発明の第3の実施形態の1画素の構成を示す回路図。

【0067】一方、MOSTランジスタQ2のドレイン

シタCのリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第3の実施形態に出し、キャパシタC及びMOSTランジスタT4を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

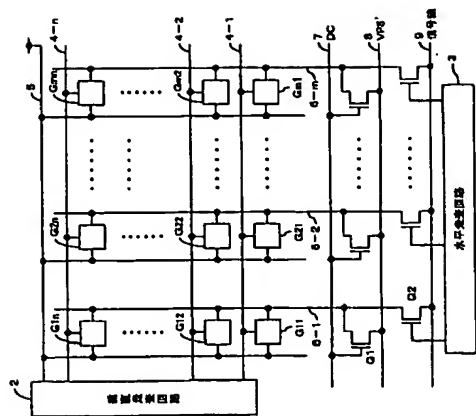
【0064】以上説明した第1～第4の実施形態は、画素内の駆動素子であるMOSTランジスタT1～T5を全てNチャネルのMOSTランジスタで構成している。図12は、これらのMOSTランジスタT1～T5を全てPチャネルのMOSTランジスタで構成してもよい。図12及び図15～図17には、上記第1～第4の実施形態をPチャネルのMOSTランジスタで構成した例である。図15～第8の実施形態を示している。そのため図11～図17では接続の極性や印加電圧の極性が逆になっている。例えば、図12（第5の実施形態）において、フォトダイオードPDはアンノードに直流通電VPPに接続され、カソードが第1MOSTランジスタT1のドレインに接続され、また第2MOSTランジスタT2のゲートに接続され、また第3MOSTランジスタT3のソースに接続されている。MOSTランジスタT1のソースには信号φVPSが与えられる。

【0065】ところで、図12のような画素が対称変換を行うとき、直流通電VPSと直流通電VPPは、 $V_{PS} > V_{PP}$  となるっており、図2（第1の実施形態）と逆である。また、キャパシタCの出力電圧は初期値が高い電圧で、積分によって降下する。また、第3MOSTランジスタT3をONさせるときには、低い電圧をゲートに印加する。更に、図15の実施形態（第6の実施形態）においては、第5MOSTランジスタT5をONさせるときには、低い電圧をゲートに印加する。以上の通り、NチャネルのMOSTランジスタを使った場合に比し、PチャネルのMOSTランジスタを用いる場合は、電圧降下や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図12及び図15～図17については図面を示すのみで、その構成や動作についての説明は省略する。

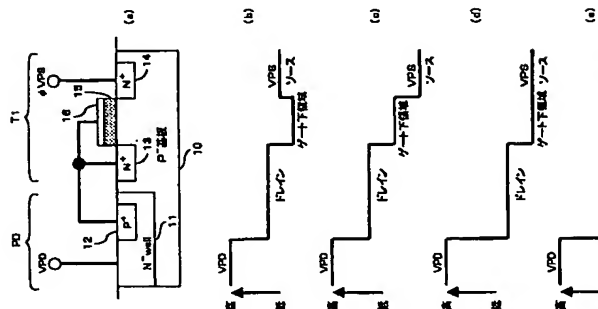
【0066】第5の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路図を図11に示し、第6～第8の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路図を図13に示している。図11及び図13については、図1及び図5と同一部分（同一の化部分）に同一の符号を付して説明を省略する。以下、図13の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに対してPチャネルのMOSTランジスタQ1とPチャネルのMOSTランジスタQ2が接続されている。MOSTランジスタQ1のゲートは直流通電VPP'に接続され、ドレインは出力信号線6-1に接続され、ソースは直流通電VPS'のライン8に接続されている。

【0067】一方、MOSTランジスタQ2のドレイン

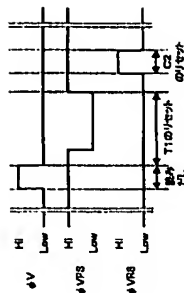
【図5】



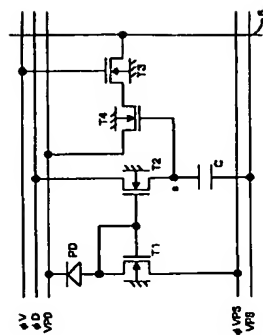
【図4】



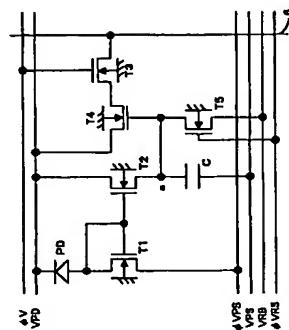
【図8】



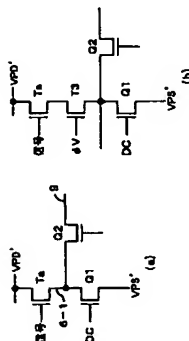
【図9】



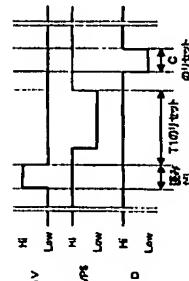
【図7】



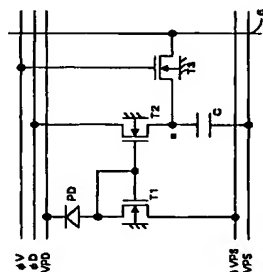
【図6】



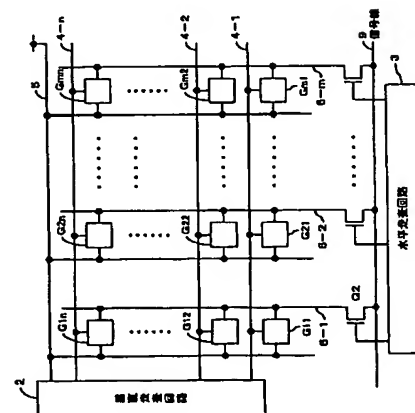
【図3】



【図2】



【図1】



【図10】 本発明の第4の実施形態の1画素の構成を示す回路図。

【図11】 画素内の駆動素子をPチャネルのMOSTラジスタで構成した実施形態の場合の本発明の二次固体撮像装置の全体の構成を説明するためのブロック回路図。

【図12】 本発明の第5の実施形態の1画素の構成を示す回路図。

【図13】 画素内の駆動素子をPチャネルのMOSTラジスタで構成した実施形態の場合の本発明の二次固体撮像装置の全体の構成を説明するためのブロック回路図。

【図14】 図13の一部の回路図。

【図15】 本発明の第6の実施形態の1画素の構成を示す回路図。

【図16】 本発明の第7の実施形態の1画素の構成を示す回路図。

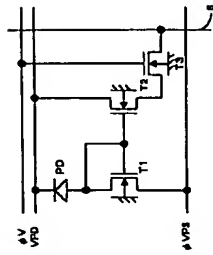
【図17】 本発明の第8の実施形態の1画素の構成を示す回路図。

【図18】 従来例の1画素の構成を示す回路図。

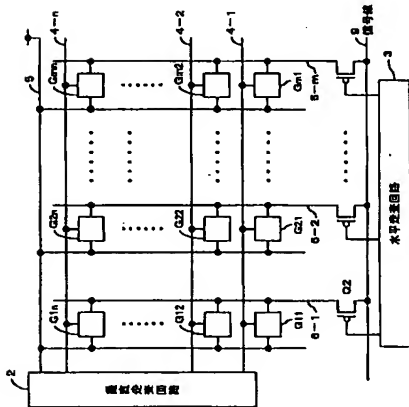
【符号の説明】

- G11~Gmn 画素
- 2 垂直走査回路
- 3 水平走査回路
- 4-1~4-n 行選択線
- 6-1~6-m 出力信号線
- 7 直流電圧線
- 8 ライン
- 9 信号線
- 10 P型半導体基板
- 11 N型ウェル層
- 12 P型拡散層
- 13, 14 N型拡散層
- 15 酸化膜
- 16 ポリシリコン
- PD フォトダイオード
- T1~T5 第1~第5MOSTラジスタ
- C キャパシタ

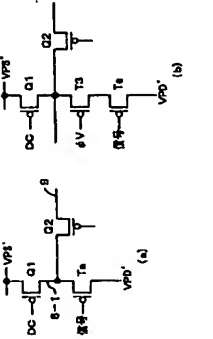
【図10】



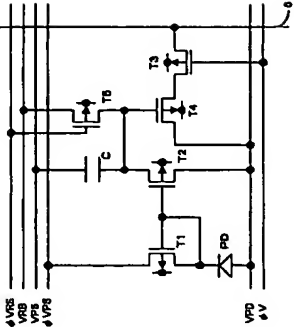
【図11】



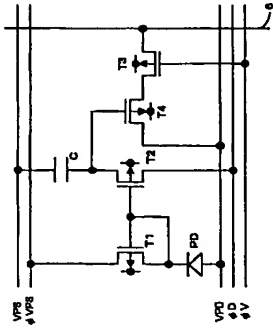
【図14】



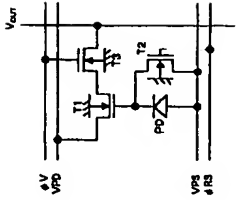
【図15】



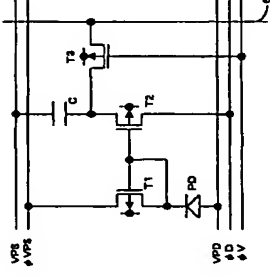
【図16】



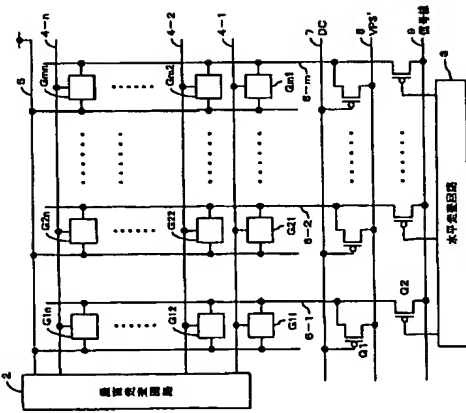
【図18】



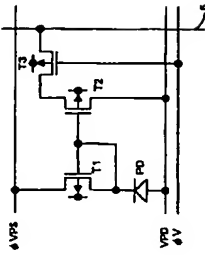
【図12】



【図13】



【図17】



フロントページの続き

Fターム(参考) 4M118 AA02 AA05 AB01 BA14 CA02  
CA03 FA06  
5C024 BA01 CA08 CA15 CA20 GA01  
GA03 EA05 JA04 JA29  
5F049 MA02 MA03 NA19 NB05 Q401  
EA02 UA01 UA07